

S PN=JP 2130023

S1 1 PN=JP 2130023

?

T S1/9/1

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03154523 \*\*Image available\*\*

MULTIFUNCTION PROGRAMMABLE LOGIC DEVICE

PUB. NO.: 02-130023 [JP 2130023 A]

PUBLISHED: May 18, 1990 (19900518)

INVENTOR(s): YOSHIMI MASAHISA

IKEZAWA TOSHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 63-284268 [JP 88284268]

FILED: November 10, 1988 (19881110)

INTL CLASS: [5] H03K-019/177; H01L-021/82

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --  
Solid State Components)

JOURNAL: Section: E, Section No. 961, Vol. 14, No. 365, Pg. 42, August  
08, 1990 (19900808)

#### ABSTRACT

PURPOSE: To change the logic of an inner part in real time by providing a programmable logical array with N (arbitrary integer) switches and a selection circuit to control a switch setting ROM so as to output one of M kinds of word signals.

CONSTITUTION: The selection circuit 40 controls the switch setting ROM 30 so as to output one word signal corresponding to desired logic among M kinds of the word signals. The switch setting ROM 30 outputs each of N bits of one designated word signal to the corresponding switch in the programmable logical array 10. Accordingly, the ON/OFF state of each switch is set, and the logic between input and output is set. Thus, the logic between the input and the output can be set in the real time.

?

**BEST AVAILABLE COPY**

## ⑫ 公開特許公報(A) 平2-130023

⑤Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

④公開 平成2年(1990)5月18日

H 03 K 19/177  
H 01 L 21/82

7328-5 J

8526-5 F H 01 L 21/82  
8526-5 FA  
S

審査請求 未請求 請求項の数 1 (全5頁)

⑥発明の名称 マルチファンクション・プログラマブル・ロジック・デバイス

⑪特 願 昭63-284268

⑫出 願 昭63(1988)11月10日

⑬発 明 者 吉 見 昌 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑭発 明 者 池 沢 斗 志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑮出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯代 理 人 弁理士 伊東 忠彦 外2名

## 明 細 書

## 3. 発明の詳細な説明

## 1. 発明の名称

マルチファンクション・プログラマブル・ロジック・デバイス

## 2. 特許請求の範囲

N (任意の整数) 個のスイッチを有するプログラマブル論理アレイ(10)と、

N 個のスイッチのオン/オフを制御するNビットからなる1ワードの制御信号をM (任意の整数) 種類記憶するスイッチ設定用ROM(30)と、

M 種類のワード信号のいずれか1つをスイッチ設定用ROM(30)が出力するよう制御する選択回路(40)と

を具備することを特徴するマルチファンクション・プログラマブル・ロジック・デバイス。

## (概要)

ユーザーが自由に論理を設定できるプログラマブル・ロジック・デバイス(Programmable Logic Device: PLD)に関し、

一度内部の論理を設定した後は内部の論理を変更することができない不都合を解消して、実時間で内部の論理を変更でき、複数の機能を実現できるようにすることを目的とし、

N (任意の整数) 個のスイッチを有するプログラマブル論理アレイと、N 個のスイッチのオン/オフを制御するNビットからなる1ワードの制御信号をM (任意の整数) 種類記憶するスイッチ設定用ROMと、M 種類のワード信号のいずれか1つをスイッチ設定用ROMが出力するよう制御する選択回路とを具備して構成する。

## (産業上の利用分野)

本発明は、ユーザーが自由に論理を設定できる

プログラマブル・ロジック・デバイス (Programmable Logic Device : PLD) に関する。

通常の論理デバイスは、入出力間の論理は固定である。これに対し、プログラマブル・ロジック・デバイス (以下、単に PLD という) は、ユーザが自由に論理を設定できる。すなわち、入出力間の論理は、ユーザの設計仕様に従って設定できる。

#### (従来の技術)

第7図は、従来の PLD のブロック構成図である。図示するように、PLD はプログラマブル論理アレイ 10 とスイッチ設定用 PROM 20 とを有する。プログラマブル論理アレイ 10 は AND アレイと OR アレイとを有する。入力信号は AND アレイから OR アレイを通り、出力信号が得られる。AND アレイと OR アレイは、合計 N (任意の整数) 個のスイッチを有する。N 個のスイッチのオン/オフの設定により、希望の入出力間の論理が設定できる。N 個のスイッチのオン/オフ

る。

#### (課題を解決するための手段)

第1図は、本発明の原理ブロック図である。同図において、論理アレイ 10 は N (任意の整数) 個のスイッチを有する。スイッチ設定用 ROM 30 は、N 個のスイッチのオン/オフを制御する N ビットのワード信号を M (任意の整数) 種類記憶する。選択回路 40 は、M 種類のワード信号のいずれか 1 つをスイッチ設定用 ROM 30 が出力するよう制御する。

#### (作用)

選択回路 40 は M 種類のワード信号のうち、希望の論理に対応する 1 つのワード信号を出力するよう、スイッチ設定用 ROM 30 を制御する。スイッチ設定用 ROM 30 は、指定された 1 つのワード信号の N ビットの各ビットをプログラマブル論理アレイ 10 内の対応するスイッチに出力する。これにより、各スイッチのオン/オフ状態が設定

は、スイッチ設定用 PROM 20 内の 1 ワードの制御信号で設定される。ここで、1 ワードは N ビットからなる。スイッチ設定用 PROM 20 に設定される 1 ワードの制御信号中の N ビットの各ビットの状態 (1 又は 0) は、プログラムライタを用いて行なわれる。

#### (発明が解決しようとする課題)

しかしながら、従来の PLD は次の問題点を有する。プログラムライタで一旦スイッチ設定用 PROM 20 内の N ビットの状態を設定した後は、これを変更することができない。言い換えれば、一度プログラマブル論理アレイ 10 内部の論理を設定した後は、内部の論理を変更することができない。このため、単一の論理しか実現できないという問題点があった。

従って、本発明は、一度内部の論理を設定した後はそれを変更することができないという不都合を解消して、実時間で内部の論理を変更でき、複数の機能を実現できるようにすることを目的とする。

され、入出力間の論理が設定される。このように、実時間で入出力間の論理が設定できる。

#### (実施例)

以下、本発明の実施例を説明する。

第2図は、本発明の一実施例のブロック図である。同図において、マルチファンクション・プログラマブル・ロジック・アレイ 100 はプログラマブル論理アレイ 10 と、スイッチ設定用 PROM 50 と、アドレスデコーダ 60 とを具備する。

プログラマブル論理アレイ 10 は第3図に示すように構成されている。プログラマブル論理アレイ 10 はアンドアレイ 11 とオアアレイ 12 とを有する。

アンドアレイ 11 とオアアレイ 12 中の "×" はスイッチを示す。スイッチは MOS トランジスタで構成され、MOS トランジスタのゲートにスイッチ制御信号が印加されることにより、オン/オフ制御される。アンドアレイ 11 には、4 つの入力ゲート 13 を介して 4 ビットの入力データ

「 $I_0 \sim I_1$ 」が与えられる。各入力ゲートは、入力データ「 $I_0 \sim I_1$ 」をそのまま通過させる他、反転した入力信号を出力する。アンドアレイ11の出力はアンドゲート14を介してオアアレイ12に与えられる。オアアレイ12の出力は、オアゲートで構成される出力ゲート15を介して、4ビットの出力データ「 $O_0 \sim O_3$ 」として外部又は一部内部にフィードバック出力される。以下の説明において、スイッチの総数をN個とする。

スイッチ設定用PROM50はNビットのワード信号をM種類記憶する。このNビットのワード信号はスイッチ制御信号であって、対応するN個のスイッチにそれぞれ供給される。このようなNビットのスイッチ制御信号をM種類記憶しているので、M種類の論理を設定できる。

第4図(A)はスイッチ設定用PROM50の内部の状態を示す図である。図示するように、スイッチ設定用PROM50はNビットのスイッチ制御信号をMワード分(M番地分)記憶している。図の「1」及び「0」はそれぞれ、対応するス

witchのオン及びオフを示している。これらのデータは、第4図(B)に示すように、CMOSのメモリセルに記憶されている。図示するビット線は、アンドアレイ11又はオアアレイ12の対応するスイッチ(MOSTランジスタ)のゲートに接続され、CMOSメモリセル中のデータが読み出されてスイッチをオン/オフする。この読み出し時にはワード線がハイレベルになり、トランスファゲートが開く。ワード線の制御は、以下に述べるアドレスデコーダ60の出力信号により行なわれる。

尚、スイッチ設定用PROM50には、外部(例えばCPU)論理変更制御信号FCが与えられ、後述するように論理が変更される。

アドレスデコーダ60は、外部から与えられるアドレス信号AIをデコードして、M種類のワード信号のいずれか1つを選択出力する様、スイッチ設定用PROM50を制御する。例えば、M=4の場合は2ビットのアドレス信号AIを4ビットにデコードする。

この場合の構成例を第5図に示す。図示するように、アドレスデコーダ60はインバータ及びアンドゲートで構成されており、2ビットのアドレス信号「 $A_1, A_2$ 」を4ビット「 $B_1 \sim B_4$ 」に展開する。M=4以外の場合にも、同様に構成できる。

次に本発明の動作について、第6図の動作タイミング図を参照して説明する。

第6図に示す「 $T_{A1}, T_{A2}, T_{A3}, \dots, T_{An}$ 」の時間はプログラマブル論理アレイ10のスイッチ設定動作に必要な時間である。この間、プログラマブル論理アレイ10の出力は不定となる。この間に、論理変更制御信号FCはローレベルに保たれ、このタイミングアドレス信号AIがアドレスデコーダ60に読み込まれる。アドレスデコーダ60はアドレス信号AIをデコードし、スイッチ設定用PROM50のいずれか1つの1ワード信号(Nビット)を指定するデコード信号を出力する。前述したように、スイッチ設定用PROM50には、1番地：論理A設定のためのスイッチ情報(Nビット)、2番地：論理B設定の

ためのスイッチ情報、3番地：論理C設定のためのスイッチ情報…のように、各論理を設定するための情報を記憶させてある。例えば、 $T_{A1}$ の間、デコードされたアドレス信号は1番地を示しているので、プログラマブル論理アレイ10は1番地に対応したNビットのスイッチ情報に従って、スイッチをオン/オフする。これにより、 $T_1$ 時間中に、入力データ「 $I_0 \sim I_1$ 」の論理Aによる結果が出力データ「 $O_0 \sim O_3$ 」として得られる。 $T_1$ 時間後、 $T_{A2}$ 時間で再び論理変更制御信号FCがローレベルとなり、このとき、2番地を示すアドレス信号AIがアドレスデコーダ60からスイッチ設定用PROM50に読み込まれる。以下、同様にして動作する。

このように、アドレス信号AI及び論理変更制御信号FCにより、プログラマブル論理アレイ10の論理を実時間で変更できる。

(発明の効果)

以上説明したように、本発明によれば、従来技

術の問題点であった一旦内部の論理を設定した後はそれを変更することができないという不都合を解消でき、実時間で内部の論理を変更でき、複数の機能を実現できるマルチファンクション・プログラマブル・ロジック・アレイが得られる。

#### 4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例のブロック図、

第3図はプログラマブル論理アレイ10の回路図、

第4図(A)はスイッチ設定用PROM50の内部を示す図、

第4図(B)はスイッチ設定用PROM50の内部回路図、

第5図はアドレスデコーダ60の回路図、

第6図は第2図に示す実施例の動作タイミング図、及び第7図は従来のPLDのブロック図である。

図において、

10はプログラマブル論理アレイ、

30はスイッチ設定用PROM、

40は選択回路、

50はスイッチ設定用PROM、

60はアドレスデコーダ、

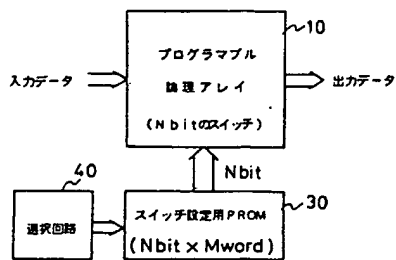
100はマルチファンクション・プログラマブル・ロジック・アレイである。

特許出願人 富士通株式会社

代理人 弁理士 伊東 忠彦

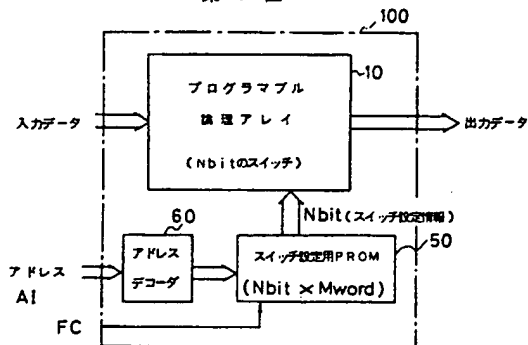
同 弁理士 松浦 兼行

同 弁理士 片山 修平



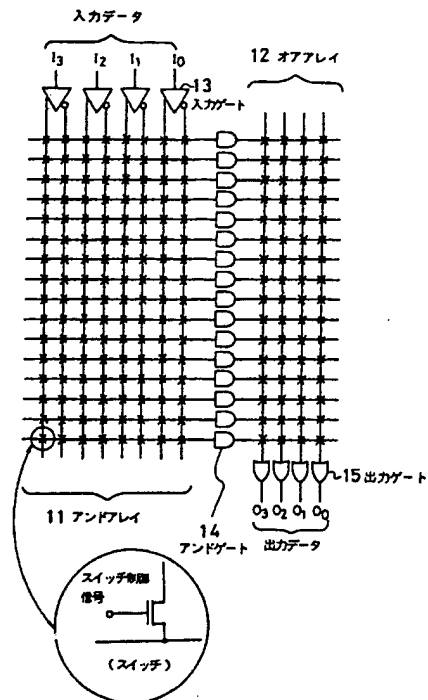
本発明の原理ブロック図

第1図



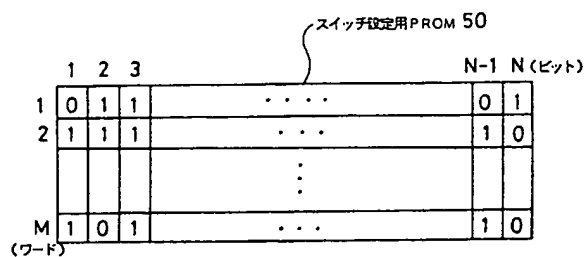
本発明の一実施例のブロック図

第2図

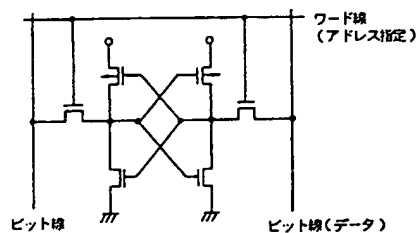


プログラマブル論理アレイ10の回路図

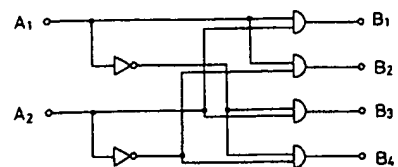
第3図



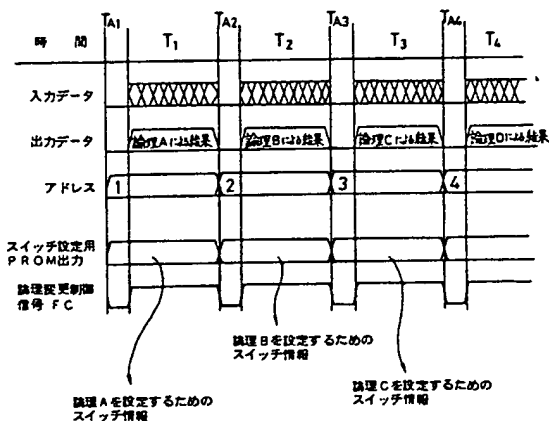
スイッチ設定用PROM50の内部を示す図  
第 4 図 (A)



スイッチ設定用PROM50の内部回路図  
第 4 図 (B)

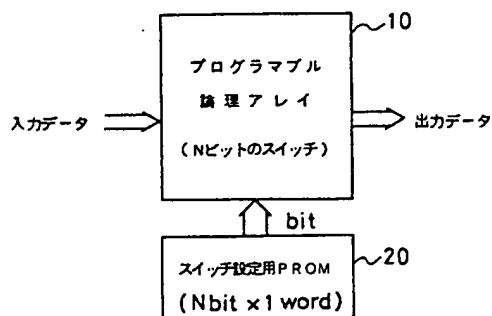


第 5 図



本発明実施例の動作タイミング図

第 6 図



従来のPLDのブロック図

第 7 図

```
#####      ### ##          ##  
    #        #   #  
    #        #   #           #####     ##   ####  
    #        #####       #   #         #####  #   ####  ####  
#   #        #   #       #####      #           #   #   #  
#   #        #   #       #           #         #   #   #  
#   #        #   #       #   ##        #         #   #  
####        #####      #####      #####  ##          #  
                                     #####  ##          #  
                                     #####
```

####	###	###						##
#	#	#						#
#	#	#	####	##	###	###	##	###
#	####	#	#	#	#	#	#	###
##	#	#	####	#	#	#	#	#
##	#	#	#	#	#	#	#	#
##	#	#	#	#	#	#	#	#
###	###	###	###	##	#####	###	###	#
								#
								###

Print Job Information:

Time: 5:52:09 PM

Job Number: 273

S PN=JP 8044581

S1 1 PN=JP 8044581

?

T S1/9/1

1/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2006 The Thomson Corporation. All rts. reserv.

0007549596 - Drawing available

WPI ACC NO: 1996-164229/199617

XRPX Acc No: N1996-137772

**Programmable information processing appts. with self restoration function  
e.g. computer - has recomposition unit to reconstitute reserve logic  
processing to become same as that of logic circuit composition based on  
composition data**

Patent Assignee: FUJITSU LTD (FUIT)

Inventor: FURUKAWA H; OGAWARA H

**Patent Family** (3 patents, 2 countries)

Patent Application

Number	Kind	Date	Number	Kind	Date	Update
JP 8044581	A	19960216	JP 1994178846	A	19940729	199617 B
US 5655069	A	19970805	US 1995436525	A	19950508	199737 E
			US 1996693540	A	19960807	
JP 3365581	B2	20030114	JP 1994178846	A	19940729	200308 E

Priority Applications (no., kind, date): JP 1994178846 A 19940729

#### Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
--------	------	-----	----	-----	--------	-------

JP 8044581	A	JA	34	31		
------------	---	----	----	----	--	--

US 5655069	A	EN	48	31	Continuation of application	US 1995436525
------------	---	----	----	----	-----------------------------	---------------

JP 3365581	B2	JA	35		Previously issued patent	JP 08044581
------------	----	----	----	--	--------------------------	-------------

#### Alerting Abstract JP A

The processing appts. consists of a logic processing part (1) that comprises of a logic constructor (1A) that realises a predetermined function. A reserve logic processing part (2) reproduces the predetermined function of the logic processing part. A data holder (3) holds a composition data of a logic processing part.

A fault detector (4) detects fault generation. A recomposition unit (5) reconstitutes a reserve logic processing part based on composition data read from data holder during fault generation which is detected by fault detector.

USE/ADVANTAGE - In logic module and IC. Reduces size of appts. and cost. Improves self restoration function. Improves reliability of device and degree of freedom of design.

**Title Terms /Index Terms/Additional Words:** PROGRAM; INFORMATION; PROCESS; APPARATUS; SELF; RESTORATION; FUNCTION; COMPUTER; UNIT; RECONSTITUTED; RESERVE; LOGIC; CIRCUIT; COMPOSITION; BASED; DATA

#### Class Codes



International Classification (Main): G06F-011/20  
(Additional/Secondary): H03K-019/173  
International Classification (+ Attributes)  
IPC + Level Value Position Status Version  
G06F-0011/20 A I R 20060101  
G06F-0011/267 A I R 20060101  
G06F-0011/20 C I R 20060101  
G06F-0011/267 C I R 20061206  
US Classification, Issued: 395182080, 395182010

File Segment: EPI;  
DWPI Class: T01  
Manual Codes (EPI/S-X): T01-G03

### **Original Publication Data by Authority**

#### **Japan**

Publication No. JP 8044581 A (Update 199617 B)  
Publication Date: 19960216  
\*\*INFORMATION PROCESSOR WITH SELF-REPAIRING FUNCTION\*\*  
Assignee: FUJITSU LTD (FUIT)  
Inventor: OGAWARA HIDEKI  
FURUKAWA HIROSHI  
Language: JA (34 pages, 31 drawings)  
Application: JP 1994178846 A 19940729 (Local application)  
Original IPC: G06F-11/20(A)  
Current IPC: G06F-11/20(A)

Publication No. JP 3365581 B2 (Update 200308 E)  
Publication Date: 20030114  
Language: JA (35 pages)  
Application: JP 1994178846 A 19940729 (Local application)  
Related Publication: JP 08044581 A (Previously issued patent)  
Original IPC: G06F-11/20(A) H03K-19/173(B)  
Current IPC: G06F-11/20(A) H03K-19/173(B)

#### **United States**

Publication No. US 5655069 A (Update 199737 E)  
Publication Date: 19970805  
\*\*Apparatus having a plurality of programmable logic processing units for self-repair.\*\*  
Assignee: Fujitsu Limited, Kawasaki, JP (FUIT)  
Inventor: Furukawa, Hiroshi, Kawasaki, JP  
Ogawara, Hideki, Kawasaki, JP  
Agent: Staas Halsey  
Language: EN (48 pages, 31 drawings)  
Application: US 1995436525 A 19950508 (Continuation of application)  
US 1996693540 A 19960807 (Local application)  
Priority: JP 1994178846 A 19940729  
Original IPC: G06F-11/00(A)  
Current IPC: G06F-11/20(R,A,I,M,EP,20060101,20051008,A)  
G06F-11/20(R,I,M,EP,20060101,20051008,C)  
G06F-11/267(R,I,M,EP,20060101,20051008,A)  
G06F-11/267(R,I,M,EP,20060101,20051008,C)  
Original US Class (main): 395182.08

Original US Class (secondary): 395182.01

Original Abstract: An information processing apparatus with programmable function and self-repair function which can deal with multiple troubles the information processing apparatus includes a logic processing unit formed of logic forming elements for realizing a predetermined function; spare logic processing units that can be reconfigured of logic forming elements to reproduce the predetermined function of the logic processing unit; a data holding unit for holding forming data in the logic processing unit; a fault detecting unit for detecting a fault occurrence in the logic processing unit; and a reconfiguring unit for reconfiguring the spare logic processing unit having a logic circuit configuration similar to the logic processing unit, based on configuration data read out of the data holding unit, when the fault detecting unit detects a fault occurrence. The information processing apparatus can automatically reconfigure the system to reproduce its original normal function of a faulty forming element.

Claim:

1. An information apparatus comprising:

- \* a plurality of logic processing units, each logic processing unit being a logic circuit realizing a predetermined function, said logic circuit comprising a plurality of logic forming elements;
- \* at least one spare unit comprising a plurality of configurable logic forming elements;
- \* data holding means for holding logic circuit forming data of each of said logic processing units;
- \* fault detecting means for detecting a fault occurrence in each of said logic processing units; and
- \* reconfiguring means for reading said logic circuit forming data of the logic processing unit in which said fault detecting means detected a fault occurrence and for reconfiguring at least one of the plurality of configurable logic forming elements in said spare unit, based on said logic circuit forming data, so as to form a logic circuit similar to said logic processing unit having the fault occurrence.

?

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**